

#2  
5-10-02

PATENT  
2080-3-74

1c978 U.S. PTO  
10/092643  
03/05/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:  
Jong Bum Park  
Serial No:  
Filed: Herewith  
For: SIMD DIGITAL SIGNAL PROCESSOR AND  
ARITHMATIC METHOD FOR THE SAME

Art Unit:

Examiner:

TRANSMITTAL OF PRIORITY DOCUMENT

Assistant Commissioner for Patents  
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Korean patent application No. 2001-19900, which was filed on April 13, 2001, and from which priority is claimed under 35 U.S.C. Section 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

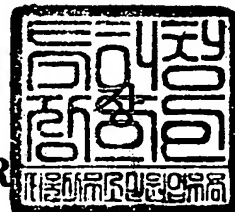
Date: March 1, 2002

By: \_\_\_\_\_



Jonathan Y. Kang  
Registration No. 38,199  
Amit Sheth  
Registration No. 50,176  
Attorney for Applicant(s)

Lee & Hong  
221 N. Figueroa Street, 11th Floor  
Los Angeles, California 90012  
Telephone: (213) 250-7780  
Facsimile: (213) 250-8150



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0014  
**【제출일자】** 2001.04.13  
**【국제특허분류】** H04N 1/00  
**【발명의 명칭】** SIMD 디지털 신호 처리기 및 연산방법  
**【발명의 영문명칭】** SIMD DIGITAL SIGNAL PROCESSOR AND ARITHMETIC METHOD

## 【출원인】

**【명칭】** 엘지전자 주식회사  
**【출원인코드】** 1-1998-000275-8

## 【대리인】

**【성명】** 박장원  
**【대리인코드】** 9-1998-000202-3  
**【포괄위임등록번호】** 2000-027763-7

## 【발명자】

**【성명의 국문표기】** 박종범  
**【성명의 영문표기】** PARK, Jong Bum  
**【주민등록번호】** 690319-1691115  
**【우편번호】** 427-040  
**【주소】** 경기도 과천시 별양동 3번지 주공7단지 710동 403호

**【국적】** KR

**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 박장원 (인)

## 【수수료】

<b>【기본출원료】</b>	14 면	29,000 원
<b>【가산출원료】</b>	0 면	0 원
<b>【우선권주장료】</b>	0 건	0 원
<b>【심사청구료】</b>	0 항	0 원
<b>【합계】</b>	29,000 원	

1020010019900

출력 일자: 2002/1/24

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 SIMD 디지털 신호 처리기 및 연산방법에 관한 것으로, 조건문이 많은 알고리즘의 연산량을 감소시킬 수 있도록 한 것이다. 이를 위하여 본 발명은 디지털 신호 처리를 위한 다수의 명령데이터가 저장되는 온칩프로그램 메모리와; 상기 온칩프로그램 메모리에서 폐치한 명령데이터를 디코딩하여 그에 따른 디코딩신호를 출력하는 메인 인스트럭션 디코더와; 조건문 관련 명령모드시, 상기 온칩프로그램 메모리로부터 조건문 명령 데이터를 입력받아 이를 디코딩하는 서브 인스트럭션 디코더와; SIMD모드시 또는 조건문 관련 명령모드시, 상기 메인 인스트럭션디코더의 디코딩신호에 따라, 온칩 데이터 메모리로부터 데이터를 입력받아 연산하는 메인 연산부와; SIMD모드시, 상기 메인 인스트럭션 디코더의 디코딩신호에 따라, 상기 메인 연산부와 동일한 연산을 각기 수행하고, 조건문 관련모드시, 상기 서브 인스트럭션 디코더의 해당 디코딩신호에 따라, 온칩 데이터 메모리로부터 데이터를 입력받아 연산하는 서브 연산부를 포함하여 구성한다.

**【대표도】**

도 3

【명세서】

【발명의 명칭】

S I M D 디지털 신호 처리기 및 연산방법{SIMD DIGITAL SIGNAL PROCESSOR  
AND ARITHMETIC METHOD}

【도면의 간단한 설명】

도1은 일반적인 디지털 신호 처리기의 연산과정을 보인 개략도.

도2는 일반적인 SIMD 디지털 신호처리기의 연산과정을 보인 개략도.

도3은 본 발명 SIMD 디지털 신호처리기의 구성을 보인 블록도.

도4는 도3에 있어서, 정상 명령을 수행할 경우의 데이터 흐름을 보인도.

도5는 도3에 있어서, SIMD모드 명령을 수행할 경우의 데이터 흐름을  
보인도.

도6은 도3에 있어서, 조건관련 명령을 수행할 경우의 데이터 흐름을 보인도

도7은 도3에 있어서, 조건이 결정된후의 데이터 흐름을 보인도.

\*\*\*\*\*도면의 주요부분에 대한 부호의 설명\*\*\*\*\*

1:온칩프로그램메모리    2:메인인스트럭션디코더

3:서브인스트럭션디코더    4:메인연산부

5:서브연산부    6:온칩데이터메모리

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 SIMD 디지털 신호 처리기 및 연산방법에 관한 것으로, 특히 조건문이 많은 알고리즘의 연산량을 감소시킬 수 있도록 한 SIMD 디지털 신호처리기 및 연산방법에 관한 것이다.

<13> 현재, 디지털 신호 처리기(DSP:Digital Signal Processor)는 1-싸이클에 여러개의 데이터를 처리하기 위한 구조로 변형되고 있는 추세인데, 그 결과로 현재 출시되고 있는 것이 SIMD(Single Instruction Multiple Data), VLIW(Very Long Instruction Word), Superscalar 구조가 있다.

<14> 상기 SIMD는 1개의 명령어가 여러개의 데이터를 처리하는 구조이다.

<15> 즉, 도1과 같이, 일반적인 디지털 신호처리기는 한개의 데이터를 처리하는 연산장치를 구비하는 반면에, SIMD디지털 신호처리기는 하나의 명령어로 여러개의 데이터(여기서는 두개)를 처리할 수 있는 연산장치를 구비하므로 처리할 데이터의 블록이 큰 경우에는 연산시간을 많이 단축할 수 있다.

<16> 예를 들어, FIR필터 연산의 경우에, 일반적인 디지털 신호처리기는 처리할 데이터의 크기가 '256' 비트이고, 필터의 탭수가 '10'이면 '256×10'번의 MAC(Multiply and Accumulate) 연산이 필요하므로 2560-싸이클이 소요되나, SIMD 디지털 신호처리기는, 상기과 같은 조건하에서, 1280-싸이클이 소요된다.

<17> 그러나, 처리할 데이터의 블록이 작고 조건문이 많은 디지털 신호 처리 알고리즘의 경우에는, 전체 연산에서 동시에 처리할 수 있는 연산의 비중이 크지 않고, 이로 인해 일반적인 디지털 신호처리의 연산량과 큰 차이가 나지 않으므로 연산시간을 단축하기 어려운 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<18> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 조건문이 많은 알고리즘 처리시 연산량을 줄이기 위하여 동일한 다수의 연산부를 독립적으로 제어하도록 함으로써 조건문을 수행하기 위한 지연을 제거하여 연산시간을 단축시킬 수 있도록 한 SIMD 디지털 신호 처리기 및 연산방법을 제공함에 그 목적이 있다.

**【발명의 구성 및 작용】**

<19> 상기와 같은 목적을 달성하기 위한 본 발명은 디지털 신호 처리를 위한 다수의 명령데이터가 저장되는 온칩프로그램 메모리와; 상기 온칩프로그램 메모리에서 폐치한 명령데이터를 디코딩하여 그에 따른 디코딩신호를 출력하는 메인 인스트럭션 디코더와; 조건문 관련 명령모드시, 상기 온칩프로그램 메모리로부터 조건문 명령 데이터를 입력받아 이를 디코딩하는 서브 인스트럭션 디코더와; SIMD모드시 또는 조건문 관련 명령모드시, 상기 메인 인스트럭션디코더의 디코딩신호에 따라, 온칩 데이터 메모리로부터 데이터를 입력받아 연산하는 메인 연산부와; SIMD모드시, 상기 메인 인스트럭션 디코더의 디코딩신호에 따라, 상기 메인 연산부와 동일한 연산을 각기 수행하고, 조건문 관련모드시, 상기 서브 인스



트럭션 디코더의 해당 디코딩신호에 따라, 온칩 데이터 메모리로부터 데이터를 입력받아 연산하는 서브 연산부를 포함하여 구성한 것을 특징으로 한다.

<20>       상기와 같은 목적을 달성하기 위한 본 발명은 명령데이터에 대한 특성을 판단하여 그 특성에 따라 메인 인스트럭션 디코더 및 서브 인스트럭션 디코더를 동작시켜 상기 명령 데이터에 대한 디코딩을 수행하는 제1 과정과; 상기 명령 데이터의 특성에 따라, 메인연산부와 서브 연산부가 동일 연산 또는 개별 연산을 수행하는 제2 과정으로 이루어진 것을 특징으로 한다.

<21>       이하, 본 발명에 의한 SIMD 디지털 신호 처리기 및 연산방법에 대한 작용과 효과를 첨부한 도면을 참조하여 상세히 설명한다.

<22>       도3은 본 발명 SIMD 디지털 신호 처리기의 실시예에 대한 구성을 보인 블록도로서, 이에 도시한 바와 같이 디지털 신호 처리를 위한 다수의 명령데이터가 저장되는 온칩프로그램 메모리(1)와; 상기 온칩 프로그램 메모리(1)에서 폐치한 명령 데이터를 디코딩하여 그에 따른 디코딩신호를 출력하는 메인 인스트럭션 디코더(2)와; 조건문 관련 명령모드시, 상기 온칩 프로그램 메모리(1)로부터 조건문 명령 데이터를 입력받아 이를 디코딩하는 서브 인스트럭션 디코더(3)와; SIMD 모드시 또는 조건문 관련 명령모드시, 상기 메인 인스트럭션 디코더(2)의 디코딩신호에 따라, 온칩 데이터 메모리(3)로부터 데이터를 입력받아 연산하는 메인 연산부(4)와; SIMD모드시, 상기 메인 인스트럭션 디코더(2)의 디코딩신호에 따라, 상기 메인 연산부(4)와 동일한 연산을 각기 수행하고, 조건문 관련모드시, 상기 서브 인스트럭션 디코더(2)의 해당 디코딩신호에 따라, 온칩 데이터 메모리(6)로

부터 데이터를 입력받아 연산하는 서브 연산부(5)로 구성하며, 이와같이 구성된 본 발명의 동작을 설명한다.

<23>       상기 도3에 도시된 실선으로 표시된 화살표는, 정상모드시의 데이터 흐름을 나타낸것이고, 점선으로 표시된 부분은 특수한 상황에서 발생하는 데이터 흐름을 나타낸다.

<24>       먼저, 정상명령을 수행할 경우에는 도4와 같이 동작하는데, 즉 메인 인스트럭션 디코더(2)는 온칩 프로그램 메모리(1)에서 페치한 명령 데이터를 디코딩하여 그에 따른 디코딩신호를 메인 연산부(4)에 인가한다.

<25>       그러면, 상기 메인 연산부(4)는 온칩 데이터 메모리(6)로부터 데이터를 입력받아 이를 메인 인스트럭션 디코더(2)의 디코딩신호에 따라 연산한다.

<26>       이때, 서브 인스트럭션 디코더(3)와 서브 연산부(5)는 동작되지 않는다.

<27>       그리고, SIMD 명령을 수행할 경우에는 도5와 같이 동작하는데, 즉 메인 인스트럭션 디코더(2)는 온칩 프로그램 메모리(1)에서 페치한 명령 데이터를 디코딩하여 그에 따른 디코딩신호를 메인 연산부(4) 및 서브 연산부((5)에 인가한다.

<28>       그러면, 상기 메인 연산부(4)와 서브 연산부(5)는 온칩 데이터 메모리(6)로부터 데이터를 입력받아 이를 메인 인스트럭션 디코더(2)의 디코딩신호에 따라 동일한 연산을 수행한다.

<29>       이때, 서브 인스트럭션 디코더(3)는 동작되지 않는다.

<30>       그리고, 조건문 관련 명령을 수행할 경우에는 도6과같이 동작하는 데, 즉 메인 인스트럭션 디코더(2)와 서브 인스트럭션 디코더(3)는 온칩 프로그램 메모

리(1)에서 각기 다른 명령 데이터를 폐치하여 디코딩한후 그 각각의 디코딩신호를 메인 연산부(4)와 서브 연산부((5)에 독립적으로 인가한다.

<31> 그러면, 상기 메인 연산부(4)는 온칩 데이터 메모리(6)로부터 데이터를 입력받아 이를 메인 인스트럭션 디코더(2)의 디코딩신호에 따라 연산하고, 상기 서브 연산부(5)는 온칩 데이터 메모리(6)로부터 데이터를 입력받아 이를 서브 인스트럭션 디코더(3)의 디코딩신호에 따라 연산한다.

<32> 즉, 상기 메인연산부(4)와 서브 연산부(5)는 독립적인 연산을 수행한다.

<33> 이후, 조건이 결정된 경우에는 도7과 같이 동작하는데, 즉 메인 연산부(4)에서 메인 인스트럭션 디코더(2)의 명령이 정확하다고 결정되면, 메인 인스트럭션 디코더(2)는 그 다음 명령데이터를 폐치하여 디코딩한후 그 디코딩신호로 메인연산부 (4)에서 데이터 연산을 수행한다.

<34> 만약, 메인연산부(4)가 서브 인스트럭션 디코더(3)에서 수행한 명령이 맞다고 결정하면, 서브 연산부(5) 및 서브 인스트럭션 디코더(3)는 현재의 상태를 알리는 데이터를 상기 메인 연산부(4) 및 메인 인스트럭션 디코더(2)로 전송하고, 이에 따라 상기 메인 인스트럭션 디코더(2) 및 메인연산부(4)는 상기 서브 인스트럭션 디코더(3) 및 서브 연산부(5)의 데이터에 따른 연산을 수행한다.

<35> 다시 말해서, 본 발명은 조건문이 많은 알고리즘 처리시, 연산량을 줄이기 위하여, 메인연산부(4)와 서브 연산부(5)를 두어 조건문이 나타나면 조건문과 관련된 연산을, 조건이 결정될 때까지 메인연산부(4)와 서브연산부(5)에서 독립적

으로 서로 다른 데이터에 대하여 연산을 수행하도록 하여 조건문과 관련된 명령 실행 지연을 제거한다.

**【발명의 효과】**

<36> 즉, 이상에서 상세히 설명한 바와같이 본 발명은 여러개의 데이터를 1-싸이클에 처리할 수 있고, 서브 인스트럭션 디코더 및 서브 연산부를 구비하여 메인 연산부 및 서브 연산부를 독립적으로 제어하도록 함으로써, 조건문이 많은 알고리즘 처리시 명령 수행 지연을 제거하여 연산량을 줄이므로 조건문이 빈번한 알고리즘의 연산시간을 단축시키는 효과가 있다.

**【특허청구범위】****【청구항 1】**

디지털 신호 처리를 위한 다수의 명령데이터가 저장되는 온칩프로그램 메모리와;

상기 온칩프로그램 메모리에서 폐치한 명령데이터를 디코딩하여 그에 따른 디코딩신호를 출력하는 메인 인스트럭션 디코더와;

조건문 관련 명령모드시, 상기 온칩프로그램 메모리로부터 조건문 명령 데이터를 입력받아 이를 디코딩하는 서브 인스트럭션 디코더와;

SIMD 모드시 또는 조건문 관련 명령모드시, 상기 메인 인스트럭션디코더의 디코딩신호에 따라, 온칩 데이터 메모리로부터 데이터를 입력받아 연산하는 메인 연산부와;

SIMD모드시, 상기 메인 인스트럭션 디코더의 디코딩신호에 따라, 상기 메인 연산부와 동일한 연산을 각기 수행하고, 조건문 관련 명령 모드시, 상기 서브 인스트럭션 디코더의 해당 디코딩신호에 따라, 온칩 데이터 메모리로부터 데이터를 입력받아 연산하는 서브 연산부를 포함하여 구성한 것을 특징으로 하는 SIMD 디지털 신호 처리기.

**【청구항 2】**

명령데이터에 대한 특성을 판단하여 그 특성에 따라 메인 인스트럭션 디코더 및 서브 인스트럭션 디코더를 동작시켜 상기 명령 데이터에 대한 디코딩을 수행하는 제1 과정과;

상기 명령 데이터의 특성에 따라, 메인연산부와 서브 연산부가 동일 연산 또는 개별 연산을 수행하는 제2 과정으로 이루어진 것을 특징으로 하는 SIMD디지털 신호 처리기의 연산방법.

**【청구항 3】**

제2 항에 있어서, 제1 과정은 명령 데이터의 특성을 판단하는 단계와;

상기 명령데이터의 특성이 정상명령모드 또는 SIMD명령모드이면, 메인 인스트럭션 디코더가 온칩프로그램 메모리에서 페치한 명령데이터를 디코딩하는 단계와;

상기 명령 데이터의 특성이 조건문 관련 명령 모드이면, 메인 인스트럭션 디코더와 서브 인스트럭션 디코더가 온칩 프로그램 메모리에서 페치한 각각의 명령 데이터를 디코딩하는 단계로 이루어진 것을 특징으로 하는 SIMD 디지털 신호 처리기의 연산방법.

**【청구항 4】**

제3 항에 있어서, 조건이 결정되면, 메인인스트럭션 디코더가 그 다음 명령 데이터를 페치하여 디코딩을 수행하거나, 서브인스트럭션 디코더가 현재의 상태를 알리는 데이터를 상기 메인 인스트럭션 디코더에 전송하여 그 전송 데이터에 따른 디코딩을 수행하는 단계를 더 포함하는 것을 특징으로 하는 SIMD 디지털 신호 처리기의 연산방법.

**【청구항 5】**

제2 항에 있어서, 제2 과정은 정상명령 모드이면, 메인 연산부는 메인 인스트럭션 디코더의 디코딩신호에 따른 데이터 연산을 수행하는 단계와;

SIMD 명령모드이면, 메인 연산부 및 서브 연산부는, 메인 인스트럭션 디코더의 디코딩신호에 따른 동일한 데이터 연산을 수행하는 단계와;

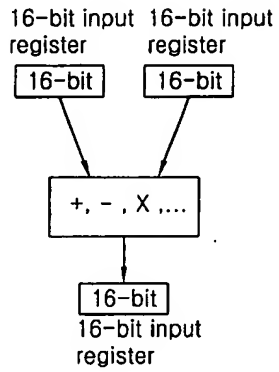
조건문 관련 명령모드이면, 메인연산부는 메인인스트럭션 디코더의 디코딩신호에 따른 데이터 연산을 수행하고, 서브 연산부는 서브 인스트럭션 디코더의 디코딩신호에 따른 데이터 연산을 수행하는 단계로 이루어진 것을 특징으로 하는 SIMD 디지털 신호처리기의 연산방법.

**【청구항 6】**

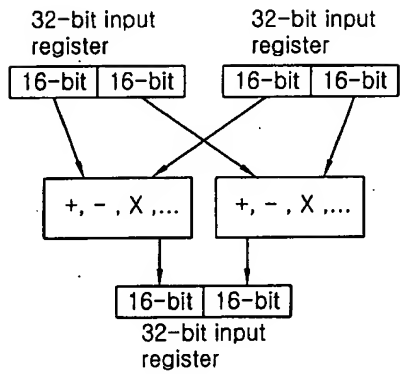
제5 항에 있어서, 조건이 결정되면, 메인연산부가 그 다음 명령 디코딩신호에 의해 데이터 연산을 수행하거나, 서브연산부가 현재의 상태를 알리는 데이터를 상기 메인연산부에 전송하면 그 메인 연산부가 그 전송데이터에 따른 연산을 수행하는 단계를 더 포함하는 것을 특징으로 하는 SIMD 디지털 신호처리기의 연산방법.

## 【도면】

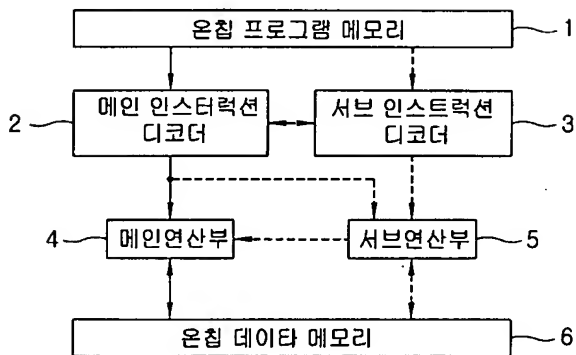
【도 1】



【도 2】

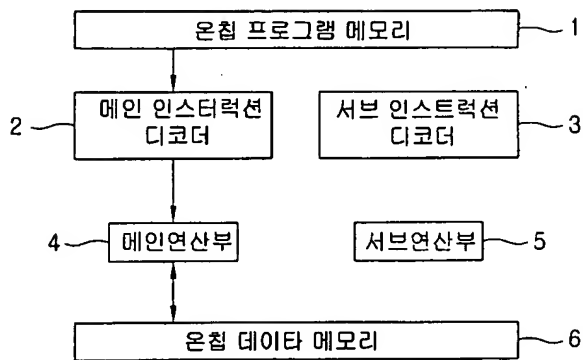


【도 3】

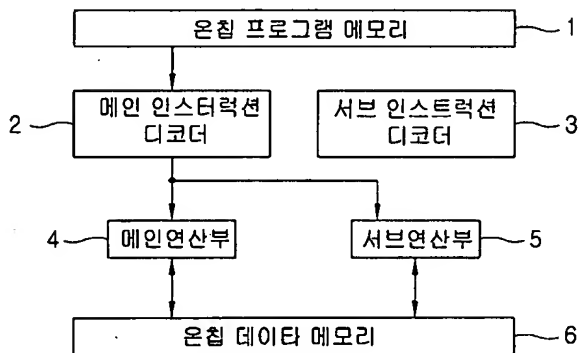




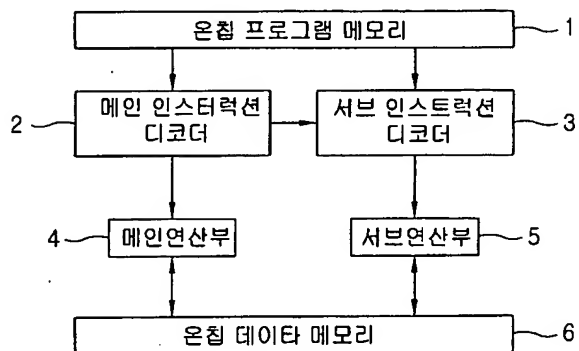
【도 4】



【도 5】



【도 6】



【도 7】

